

BOSS DR-220A/E

SERVICE NOTES

First Edition

SPECIFICATIONS

Memory Capacity : 32 Preset Rhythm Patterns
32 User's Programmable Rhythm Patterns
Songs 128 bers x 8 (with Song Chain: 256 bars)

Tempo : J = 40 to 250

Output : Max. Level 2.6 V_{PP} 2KΩ

Noise Level : Less than -80dBm (IHFA)

Power Requirements : 6V DC (Batteries SUM-3 x 4)
or AC Adaptor BOSS PSA-100, 120, 220 or 240

Current Draw : 30mA DC at 9V

Battery life : Approx. 30 hours (SUM-3)

Dimensions : 239(W) x 75(D) x 31(H)mm
9-7/16 x 2-15/16 x 1-1/4 in.

Weight : 350g/12oz. including batteries

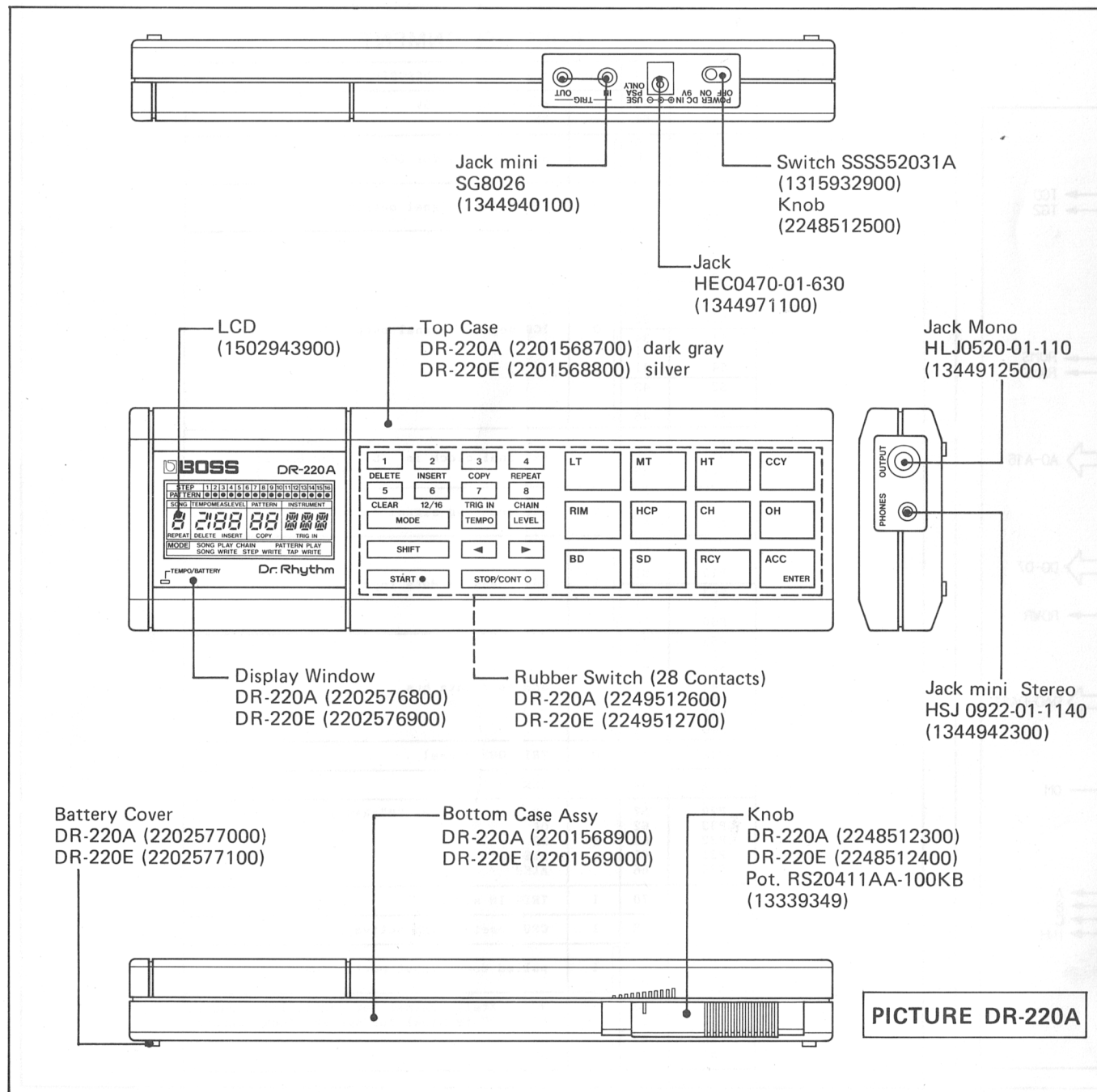
Accessories : SUM-3 dry cell batteries x 4
BOSS Original Case x 1

Options : Connection Cord PJ-1
AC Adaptor BOSS PSA series

Sound Sources:

DR-220A Bass Drum
Snare Drum
Closed Hi-hat/Open Hi-hat
Rim Shot/Hand Clap
Hi Tom/Mid Tom/Low Tom
Crash Cymbal/Ride Cymbal
Accent

DR-220E Electronic Bass Drum
Electronic Snare Drum
Closed Hi-hat/Open Hi-hat
Cowbell/Slap
Electronic Hi Tom/Electronic Mid Tom
Electronic Low Tom
China Cymbal/Cup
Accent

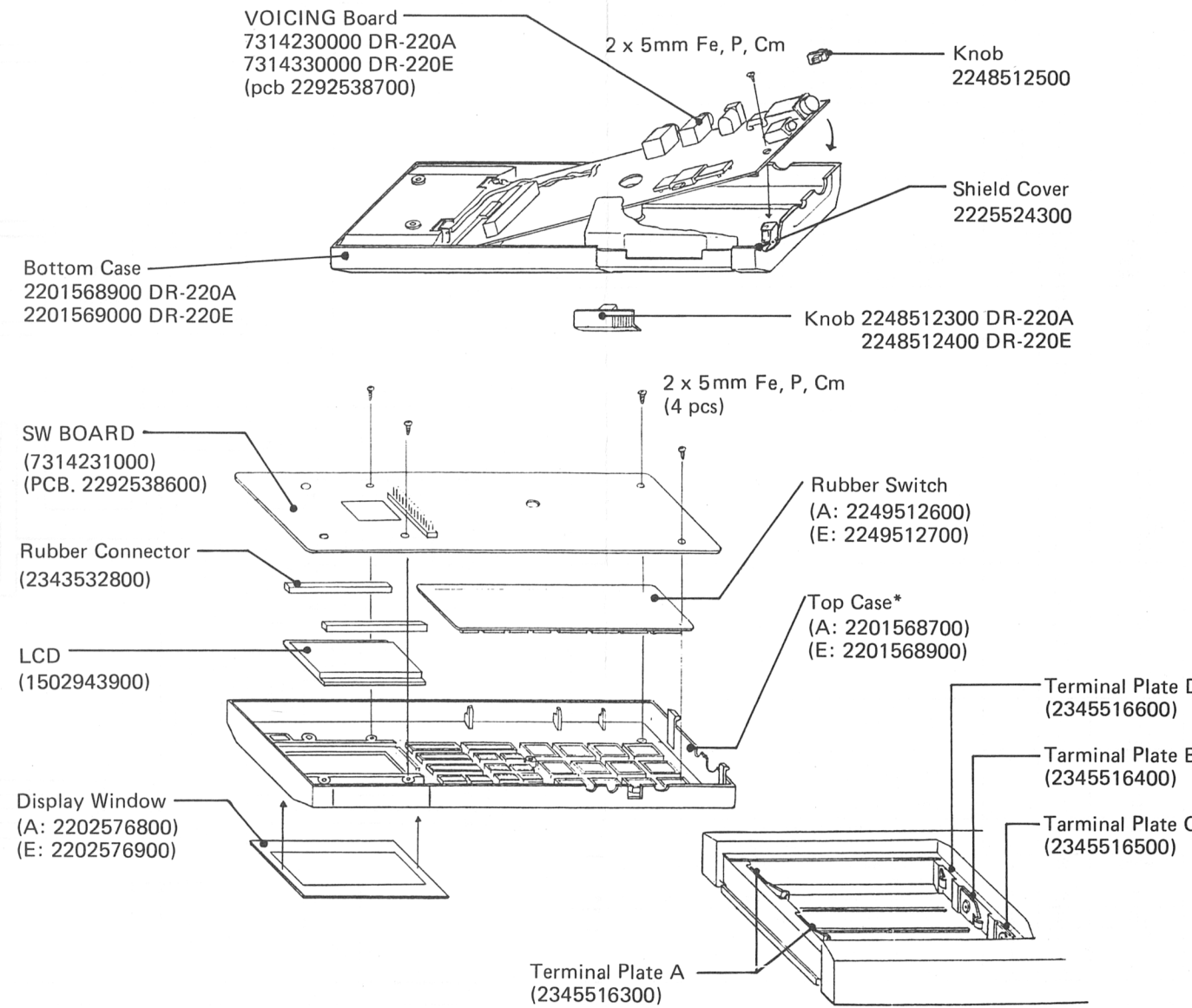
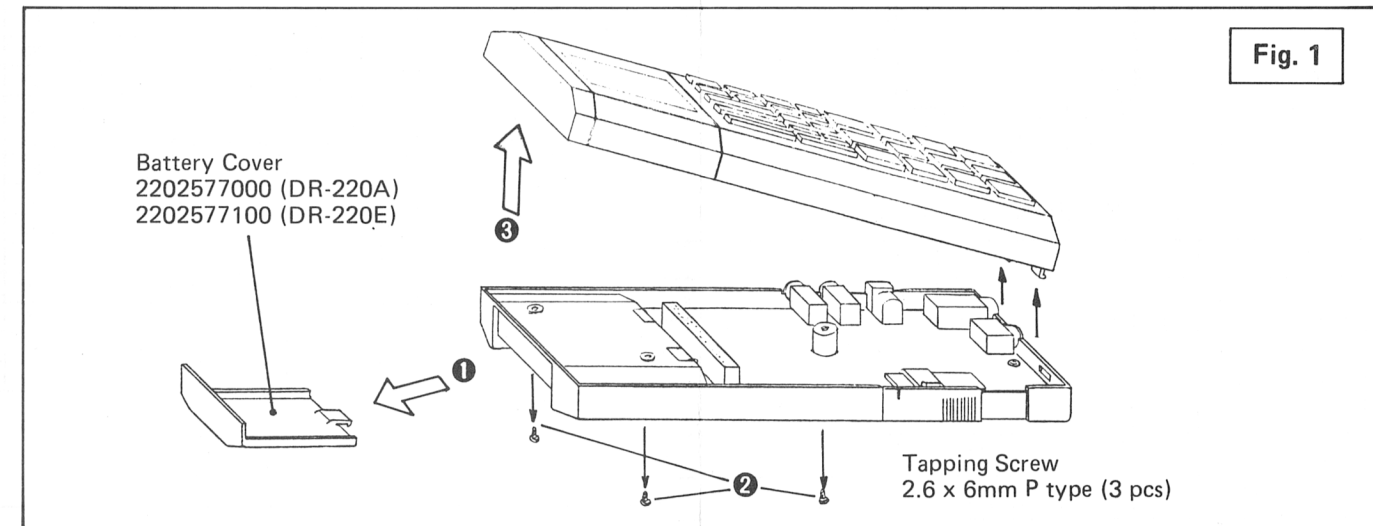


DISASSEMBLY

分解方法

- Place the DR-220 upside down then remove the battery cover.
- Remove 2.6 x 6mm P type tapping screws (3 pcs) on the bottom case.
- Turn the DR-220 over. Grasp the LCD side of the upper case hand then separate the cases as shown in Fig. 1.

- 底面を上に向け、電池ボタンをはずす。
- 下ケースに付いているタッピングビス2.6×6mm pタイプ3本をはずす。
- 上ケースのLCD側を持ち、図1の様に押し開き上ケースと下ケースを完全に分離する。

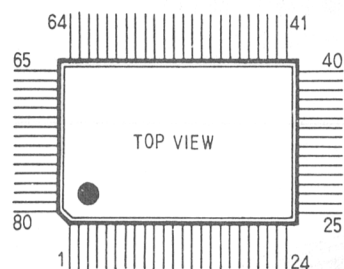


IC DATA

GATE ARRAY

MB670120

PIN ASSIGNMENT

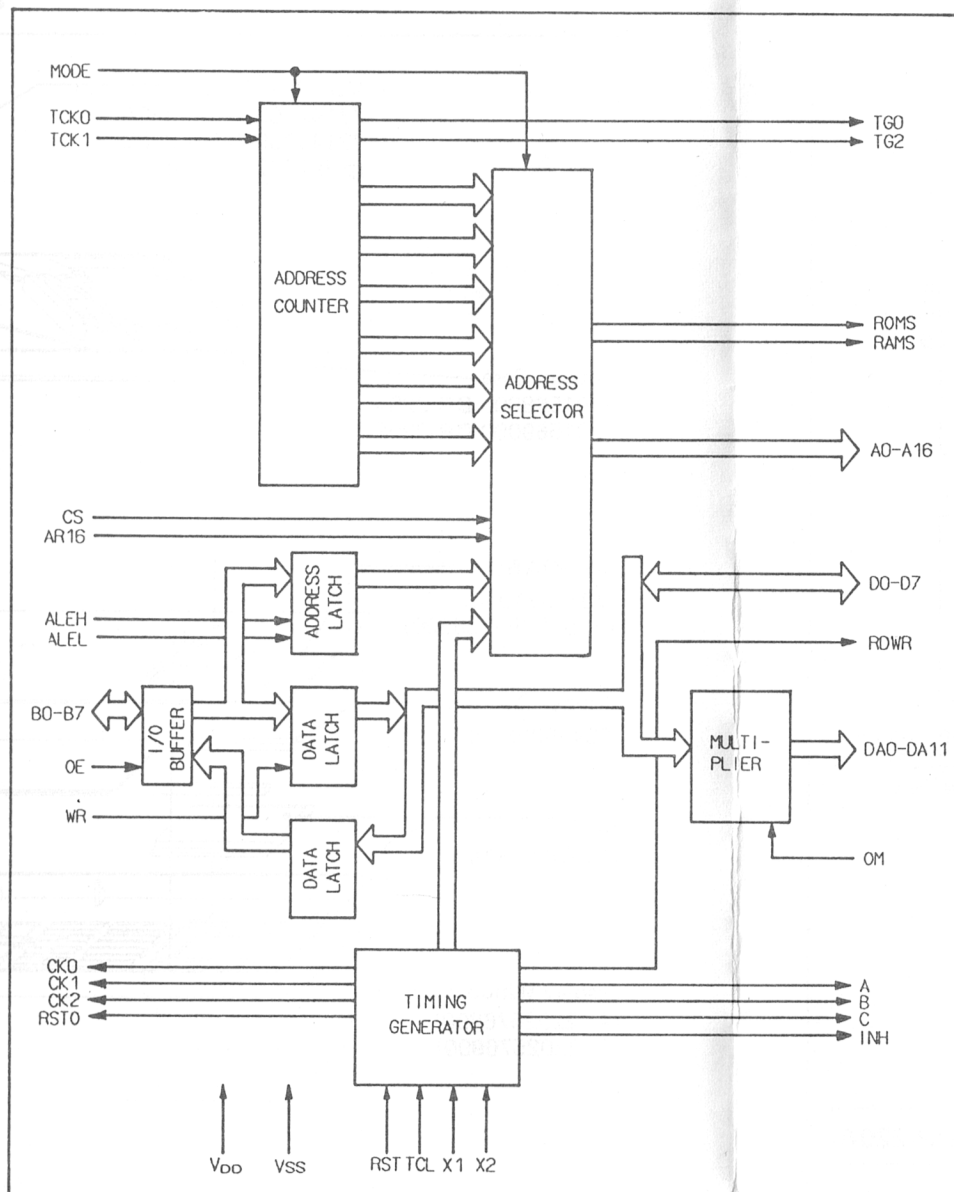


PIN FUNCTIONS

NAME	PIN	I/O	DESCRIPTION	
Vdd	33	--	power supply +5V	
	73	--		
Vss	2	--	GND	
	12	--		
	23	--		
	42	--		
	52	--		
	63	--		
X1	39	I	Xtal terminal (2.4MHz)	
X2	40	I		
RST	61	I	reset input (low active) reset output (high active)	
RSTO	43	O		
CK0	45	O	external clock output 300KHz 25KHz 390.625Hz	
CK1	46	O		
CK2	44	O		
CS	58	I	chip select input ("L"=ROM, "H"=RAM) memory write request output enable low address latch enable high address latch enable	
WR	59	I		
OE	60	I		
ALEL	56	I		
ALEH	57	I		
B0	48	I/O	address / data bus (to CPU)	
B1	47	I/O		
B2	50	I/O		
B3	49	I/O		
B4	53	I/O		
B5	51	I/O		
B6	55	I/O		
B7	54	I/O		
ROMS	18	O	ROM select (low active)	
RAMS	80	O		
RDWR	30	O	RAM select (high active) read/write ("H"=read, "L"=write)	
A0	21	address bus (to CPU)		
A1	19			
A2	17			
A3	15			
A4	13			
A5	10			
A6	8			
A7	6			
A8	7			
A9	9			
A10	16			
A11	11			
A12	4			
A13	5			
A14	3			
A15	1			
A16	14			
D0	24	data bus (to memories)		
D1	26			
D2	28			
D3	29			
D4	27			
D5	25			
D6	22			
D7	20			
DA0	64	12 bit sound data output		
DA11	76			
A	77	DMUX channel select		
B	78			
C	79			
INH	31	DMUX inhibit		
TG0	34	trigger output	channel 0	
TG2	35			channel 2
MODE	32	pulled down = DR-220A } mode select pulled up = DDR-220E } pulled down, sound data output mode select		
OM	41			
AR16	62	pulled down, address bit 16		
TCL	36	IC test		
TCK0	37			pulled up
TCK1	38			pulled down

PIN	DESIG.	PIN	DESIG.	PIN	DESIG.	PIN	DESIG.
1	A15	21	A0	41	OM	61	RST
2	VSS	22	D6	42	VSS	62	AR16
3	A14	23	VSS	43	RSTO	63	VSS
4	A12	24	D0	44	CK2	64	DA0
5	A13	25	D5	45	CK0	65	DA1
6	A7	26	D1	46	CK1	66	DA2
7	A8	27	D4	47	B1	67	DA3
8	A6	28	D2	48	B0	68	DA4
9	A9	29	D3	49	B3	69	DA5
10	A5	30	RDWR	50	B2	70	DA6
11	A11	31	INH	51	B5	71	DA7
12	VSS	32	MODE	52	VSS	72	DA8
13	A4	33	VDD	53	B4	73	VDD
14	A16	34	TG0	54	B7	74	DA9
15	A3	35	TG2	55	B6	75	DA10
16	A10	36	TCL	56	ALEL	76	DA11
17	A2	37	TCK0	57	ALEH	77	A
18	ROMS	38	TCK1	58	CS	78	B
19	A1	39	X1	59	WR	79	C
20	D7	40	X2	60	OE	80	RAMS

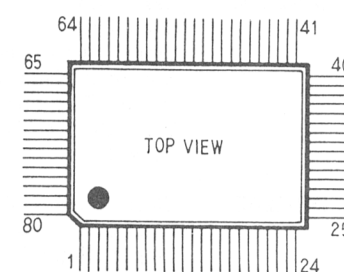
BLOCK DIAGRAM



CPU

μPD7514G-236

PIN ASSIGNMENT



NO	I/O	DESIG	NO	I/O	DESIG	NO	I/O	DESIG	NO	I/O	DESIG
1	I/O	P41	21	O	S22	41	O	S4	61	I/O	P10
2	I/O	P40	22	O	S21	42	--	NC	62	O	P33
3	--	X2	23	--	NC	43	O	S3	63	O	P32
4	I	X1	24	O	S20	44	O	S2	64	--	VSS
5	--	VLC3	25	O	S19	45	O	S1	65	O	P31
6	--	VLC2	26	O	S18	46	O	S0	66	O	P30
7	--	VLC1	27	O	S17	47	I	INT1	67	I	P03/S1
8	O	COM3	28	O	S16	48	I	RESET	68	I/O	P02/S0
9	O	COM2	29	O	S15	49	I	CL1	69	I/O	P01/SCK
10	O	COM1	30	O	S14	50	--	CL2	70	I	P00/INT0
11	O	COM0	31	O	S13	51	I/O	P73	71	I/O	P63
12	O	S31	32	O	S12	52	I/O	P72	72	I/O	P62
13	O	S30	33	--	VDD	53	I/O	P71	73	I/O	P61
14	O	S29	34	O	S11	54	I/O	P70	74	I/O	P60
15	O	S28	35	O	S10	55	O	P22	75	I/O	P53
16	O	S27	36	O	S9	56	O	P21/PTOUT	76	I/O	P52
17	O	S26	37	O	S8	57	O	P20/PSTB	77	I/O	P51
18	O	S25	38	O	S7	58	I/O	P13	78	I/O	P50
19	O	S24	39	O	S6	59	I/O	P12	79	I/O	P43
20	O	S23	40	O	S5	60	I/O	P11	80	I/O	P42

PORT ASSIGNMENT

NAME	PIN	I/O	DESCRIPTION
Vdd	33	--	power supply +5V
Vss	64	--	GND
Vlc3	5	I	power supply for LCD
Vlc2	6		
Vlc1	7		
COM3	8	O	LCD common signal output
COM0	11		
S31	12	O	LCD segment signal output
S21	22		
S20	24		
S12	32		
S11	34		
S4	41		
S3	43	I	external clock in
S0	46		
X1	4		
INT1	47	I	external clock in
CL1	49		
P73	51	O	key scanning signal output
P70	54		
P13	58	I	key scanning data input
P10	61		
P63	71		
P60	74	I/O	address / data bus
P53	75		
P50	78		
P43	79		
P42	80		
P41	1		
P22	55	O	TRIG OUT signal
P21	56	O	LED
P20	57	O	CS ("L"=ROM, "H"=RAM)
P33	62		
P32	63		
P31	65		
P30	66		
INT0	70	I	TRIG IN signal
RESET	48	I	CPU reset (high active)
P03	67	I	pulled down, input port, unused
P01	69		
X2	3	--	NC Xtal terminal for count clock, unused
CL2	50	--	NC RC terminal for system clock, unused
(NC)	23	--	NC
(NC)	42	--	NC

CIRCUIT DESCRIPTION

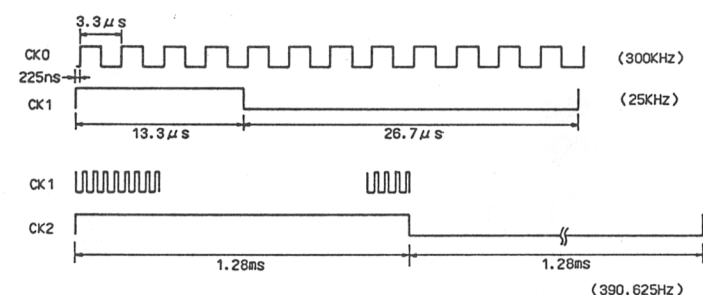
The DR-220 incorporates a multi sound source system in which plural sound data stored in a ROM are called by a multi-address counter in the timesharing fashion. The data read are converted to analog equivalents via a DAC. The system has found applications in many Roland and BOSS products. Built in the DR-220 is the most advanced Roland's custom-gate array MB670120. The gate array has some associated stages not found on its predecessor.

The sound ROM, IC2, contains 11 sound data which will be read sequentially by the 6 counters in the gate array. The data are then converted to analog voltages via an R-2R ladder resistor and op amp, IC5. The DMUX, IC6, connects the signals to correct audio channels, respectively. The gate array generates not only multiple addresses but also the CPU system clocks, CK0-CK3 -- can be said to be the central part of the DR-220.

1. Timing Generator

The timing generator in the gate array generates various clocks (see figures below) from the 2.4MHz ceramic externally connected to X1 and X2 terminals. These clocks determine the channel for a given output sound and the timings of the data reading and whole system functions.

SYSTEM CLOCK



2. Memory Accessing

The CPU, IC101, accesses memories (RAM, IC3 and ROM, IC2) through the gate array. The address as well as data are transferred over the data bus between gate array B0-B7 and CPU I/O ports. The procedures are described briefly as follows.

- 2-1. CPU - selects a memory with the CS:
low CS=ROM; high CS=RAM
- 2-2. CPU - places the upper addresses A8-A15 on B0-B7
- 2-3. CPU - pulls ALEH low
Gate array - latches the upper addresses into an internal latch

概説

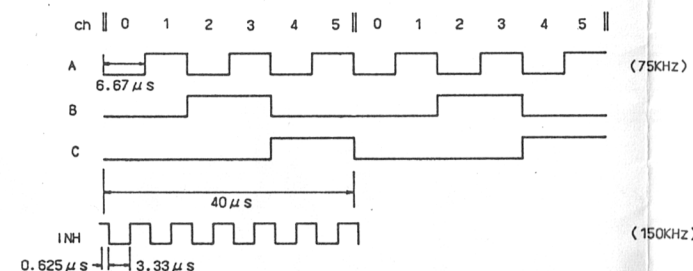
DR-220ではマルチ音源システムが採用されています。マルチ音源システムとは、ROMに格納されている複数の音源の波形データを、マルチ・アドレスカウンタによって時分割で読みだした後、アナログ電圧に変換する方式です。本方式は既にローランドおよびボス製品で使用されていますが、本機では、周辺回路も含んだ集積密度の高いゲートアレイがアドレス・カウンタとして採用されています。

音源ROM (IC 2) 内の11種類のサウンドデータは、ゲートアレイ (IC 1) の6チャンネル・アドレスカウンタにより順次読み出された後R-2Rラダー抵抗 (R 1 9) とオペアンプ (IC 5) でアナログ電圧に変換されます。つぎにDMUX (IC 6) によって指定チャンネル (クロックA、B、Cによって決まる) へ出力されます。ゲートアレイは、マルチアドレスの他、CPUのシステムクロックCK0、CK1、CK2およびリセットも発生します。したがって、DR-220ではゲートアレイの方がより中心的な役目を果たしていると言えます。

1. タイミング・ジェネレータ

ゲートアレイのタイミング・ジェネレータには2.4MHzのセラミックがX1、X2端子に外付されています。タイミングジェネレータの出力波形を下表に示します。これらのクロックは、音の読み出しタイミングや出力チャンネルの選定以外にもシステム全体の動作タイミングも決定するので、DR-220の心臓部と言えます。

DMUX TIMING



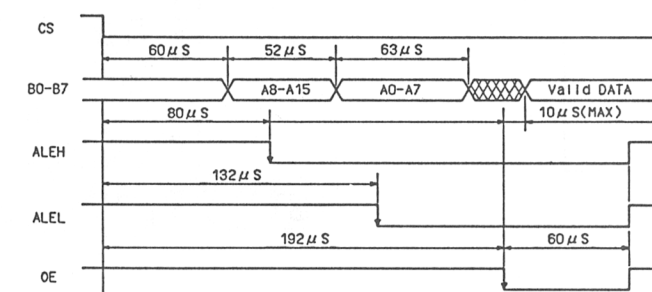
2. メモリ・アクセス

CPU (IC 1 0 1) はゲートアレイを通じてメモリ (RAM IC 3、ROM IC 2) にアクセスします。アドレス及びデータはゲートアレイのB0-B7とCPUのI/Oポート間で転送されます。概要は次の通りです。

- (1) (CPU) アクセスすべきメモリをCSで選ぶ
CS : L = ROM、 H = RAM
- (2) (CPU) B 0 - B 7 へ上位アドレス (A 8 - A 1 5) を出力
- (3) (CPU) ALEHをLにする
(ゲートアレイ) ALEHの立下がり、アドレスを内部アドレスラッチにラッチ

- 2-4. CPU - places the lower addresses A0-A7 on B0-B7
- 2-5. CPU - pulls ALEL low
Gate array - latches the lower addresses
- 2-6a. Data Reading
When the CPU pulls OE low, the gate array outputs data on B0-B7.
- 2-6b. Data Writing
The CPU represents data on B0-B7 and then a low WR.
The gate array writes the data into the RAM IC3.

1. Read Timing (ROM)



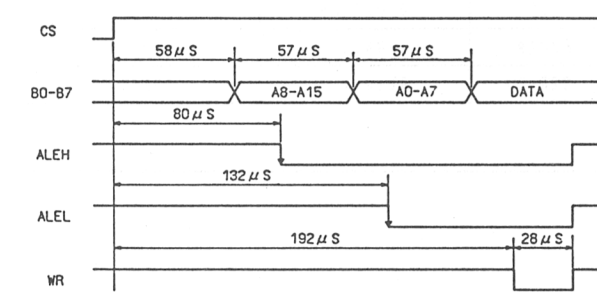
3. Sound Output

The following discussion is limited to a description of open hi-hat, OH, in the manual mode. The encircled figures refer to those in the diagram that follows.

- ① Upon pressing OH button, the CPU sends, via gate array, to the RAM, IC3, an 8-bit data OH "Out data". The OH out data contains:
OH "Level data" that has been set from the front panel using OH LEVEL, and OH "Channel data" that specifies sound to be generated.
- ② RAM addresses 0-5 are memory space for working area which is divided into 6 with no. 4 being assigned to sound channel 4 which will store OH Out data.
- ③ The gate array is scanning over RAM addresses 0-5 every 6.67μs. Upon detecting OH out data in the location 4, it starts address counter no. 4. With the counter no. 4 output, the gate array reads OH wave data from the corresponding memory location in the ROM, IC2, through the data bus D0-D7, and repeats reading at 40μs intervals as the counter increments.
- ④ The gate array processes the 8 bit data based on OH Level data, converting it to a 12-bit data and placing it on DA0-DA11.
- ⑤ The 12-bit data is converted to the analog voltage at the DAC output consisting of R19 (R-2R ladder resistor) and IC5 and is sent to IC6, DMUX.

- (4) (CPU) B 0 - B 7 へ下位アドレス (A 0 - A 7) を出力
- (5) (CPU) ALELをLにする
(ゲートアレイ) ALELの立下がり、下位アドレスをラッチ
- (6 A) 読出し時
(CPU) OEをLにする
(ゲートアレイ) データをB0-B7へ出力
- (6 B) 書込み時
(CPU) B 0 - B 7 へデータを出力し、WRをLにする
(ゲートアレイ) データを取り込みRAMに書込む

2. Write Timing (RAM)



3. 音出し

マニュアルでオープン・ハイハット (OH) を押した場合を例として説明を進めます。丸印内の番号は下のブロック図中の番号に対応します。

- ① CPUは、OH ボタンが押されると、パネルの OH ・ LEVEL の設定値に応じた OH " LEVEL " データおよび、OH を示す OH " CHANNEL " データを、8ビットの OH " OUT " データとしてゲートアレイを介してRAM IC3へ送り込みます。
- ② RAMの0-5番地はワーキングエリアで、0から5迄のサウンド・チャンネルにそれぞれ割り当てられています。OH " OUT " データは4チャンネルに対応する4番地に書き込まれます。
- ③ ゲートアレイは、RAMの0-5番地を6.67μs毎にスキャンしており、4番地に " OUT " データが書き込まれていれば、チャンネル4のカウンタをスタートさせ、その出力値に対応するROM (IC 2) アドレスからOHの波形データを、データバスD0-D7を通じて40μs毎に読み込みます。
- ④ ゲートアレイはこの波形データを、OH LEVEL データに基づいてレベル変換した後DA0-DA11から12ビットの平行データとして出力します。
- ⑤ このデータは、R19 (R - 2 R ラダー抵抗) と IC 5 でアナログ電圧に変換された後DMUX (IC 6) へ送られます。

⑥ The DMUX passes this signal onto output pin 1 only during a low INH after the ABC clocks has represented "4" (001).

⑥ DMUXは、チャンネル・セレクトクロック ABCが 4 (001) となると、INH がローの間、OH音を1番ピンから出力します。

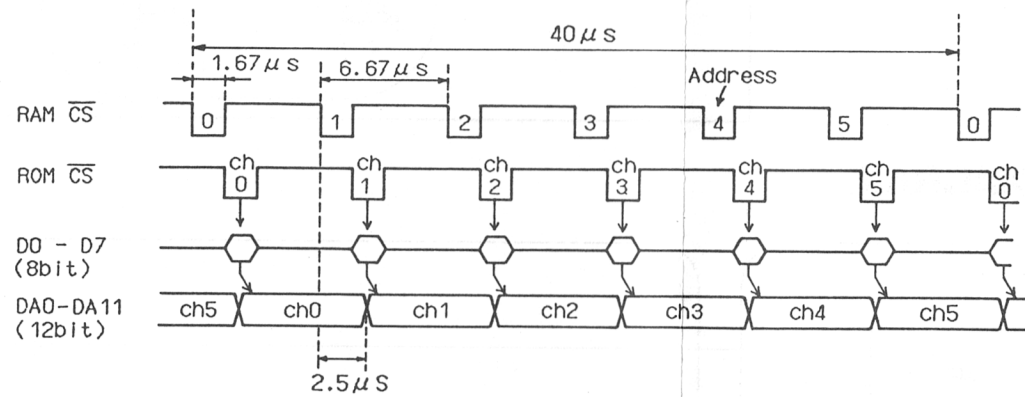
DR-220A (MODE="L")

ch	voice	bytes
0	Bass Drum (BD)	2K
1	Snare Drum (SD)	6K
2	Low Tom (LT)	16K
	Mid Tom (MT)	16K
	Hi Tom (HT)	16K
3	Rim Shot (RIM)	2K
	Hand Clap (HCP)	4K
4	Open Hi-hat (OH)	14K
	Closed Hi-hat (CH)	2K
5	Ride Cymbal (RCY)	18K
	Clash Cymbal (CCY)	30K

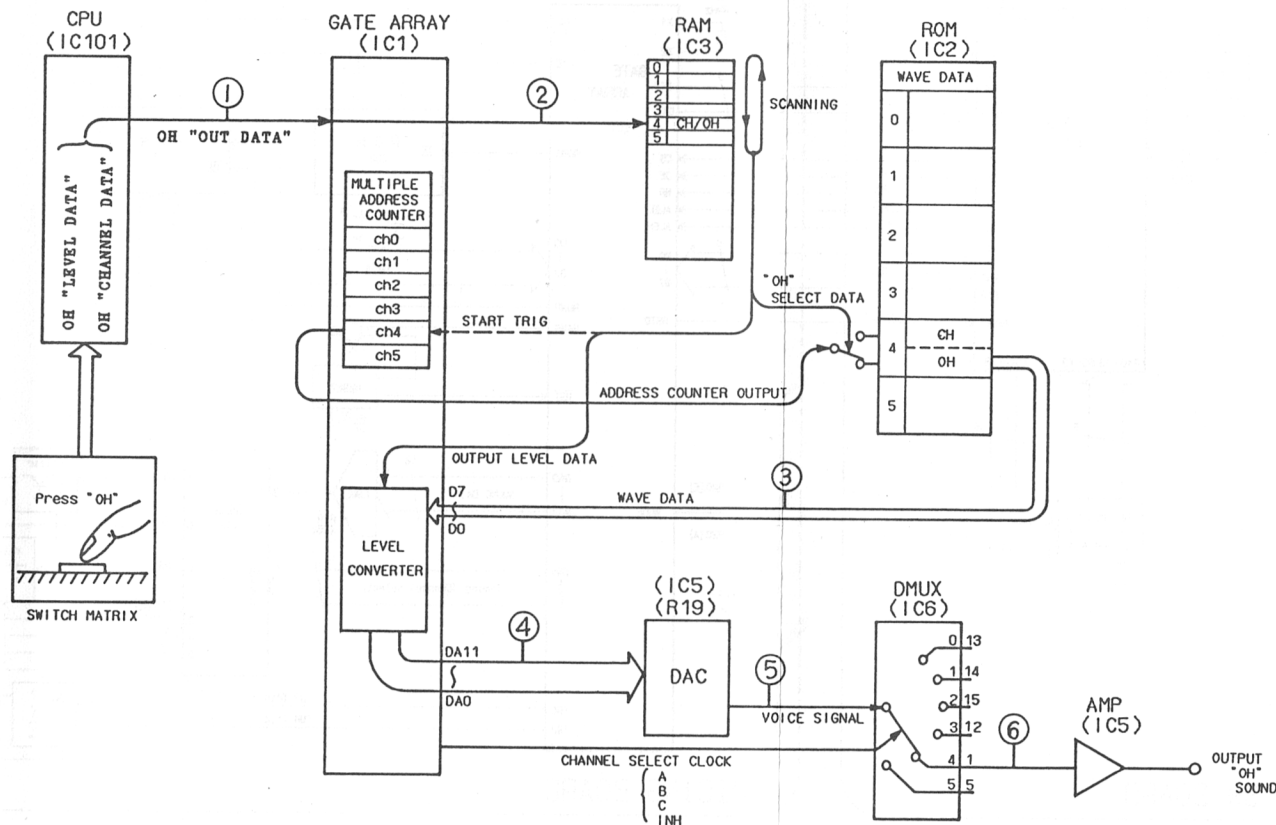
DR-220E (MODE="H")

ch	voice	bytes
0	Electronic Bass Drum (BD)	4K
1	Electronic Snare Drum (SD)	8K
2	Electronic Low Tom (LT)	16K
	Electronic Mid Tom (MT)	16K
	Electronic Hi Tom (HT)	16K
3	Cowbell (CB)	2K
	Slap (SLP)	6K
4	Open Hi-hat (HT)	14K
	Closed Hi-hat (CH)	2K
5	Cup (CUP)	10K
	China Cymbal (CHY)	32K

WAVEFORM DATA READ CYCLE



When "OH" button is pressed in Manual mode.



NOTE:

Low Pass Filter/Envelope Channels 0(BD) and 2 (TOM) of the DMUX undergo vari-cutoff low pass filtering through Q8 and Q9, respectively. When the gate array counter 0 starts, the TGO pulse is charged onto C27 whose envelope contours the Q8 cutoff point.

TROUBLESHOOTING GUIDE

First see whether the problem resides in the CPU or the gate array. The followings is a general reference to their functions and defective symptoms.

FUNCTIONS

CPU	scans switches; drives LCD; flashes LED; processes TRIG IN and OUT; writes sound out data into RAM IC3 during sound reproduction cycle
GATE ARRAY	supplies CPU system clocks; accesses memories; performs sound reproduction

DEFECTIVE SYMPTOMS

CPU	no sound (all voices); unable to read switches; failure in LCD driving; incorrect LED flashing; false TRIG IN/OUT
GATE ARRAY	no sound (some of the followings are functioning); LED flashes after rhythm starting; LCD reads other than sound names; test mode works; initialization completes; switches are read
	timbre is not what it should be

CAUTION

R19 R-2R Ladder Resistor Handle with care frangible components inside.

参考

ローパスフィルター/エンベロープ DMUX出力のうち、チャンネル0 (BD)と2 (TOM) にはカットオフ可変のローパスフィルター Q8、Q9がそれぞれ接続されています。ゲートアレイのカウンタ 0 がスタートすると、TGOからのトリガパルスがC27へチャージされ、Q8のカットオフをコントロールするエンベロープが発生します。

故障診断上のヒント

故障診断時には、まずCPU、ゲートアレイ、のいずれに原因があるのかを見極める必要があります。機能分担の概要と、代表的な不良内容は次の通りです。

症状にわからず、まず各電源電圧を確認して下さい。CPUクロックCK0-CK2の確認も大切です。音源基板のICを交換する場合、ゲートアレイは最後にした方がよいでしょう。

機能概要

CPU	スイッチスキャン、LCD表示、LED点滅 TRIG IN、TRIG OUT処理 音出し時、音出しデータのRAMへの書き込み
ゲートアレイ	CPUシステムクロックの供給 メモリへのアクセス、音出し処理

不良症状例

CPU	ゲートアレイ
不鳴 (全音源) スイッチ読み込み不可能	不鳴 (但し、下記の一部は正常に動作する)
LCD表示不良	スタート後のLED点滅 音源名を除くLCD表示 テストモードの実行
LED点滅異常	イニシアライゼーション スイッチ読み込み
TRIG IN/OUT 異常	音色不良

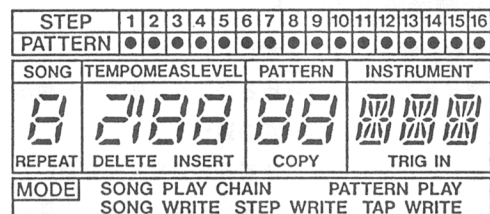
注意

R19 R-2Rラダー抵抗の取扱い方について 機械的ストレスに弱いので交換時以外は触れないようにして下さい。

TEST PROGRAM (LCD CHECK)

Press and hold TEMPO and LEVEL and switch the power on. The LCD will light all the segments, indicating that the unit is in the test mode. Press SHIFT several times, and the LCD alternately lights full-seg and half-seg.

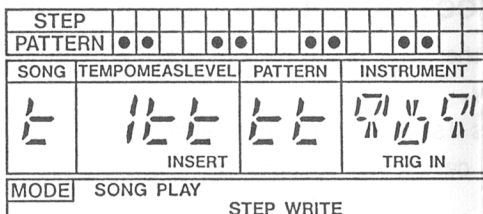
Note that the unit will remain in this mode until it is turned off.



Full Segment

テストモード(LCDチェック)

TEMPO ボタンとLEVELボタンを同時に押えながら電源を投入する。テストプログラムが起動し、LCDの全セグメントが点灯します。以後SHIFT ボタンを押す毎に半セグメント点灯か全セグメント点灯に切り替わります。

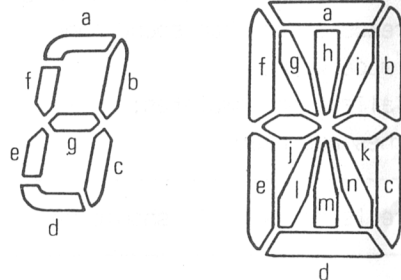
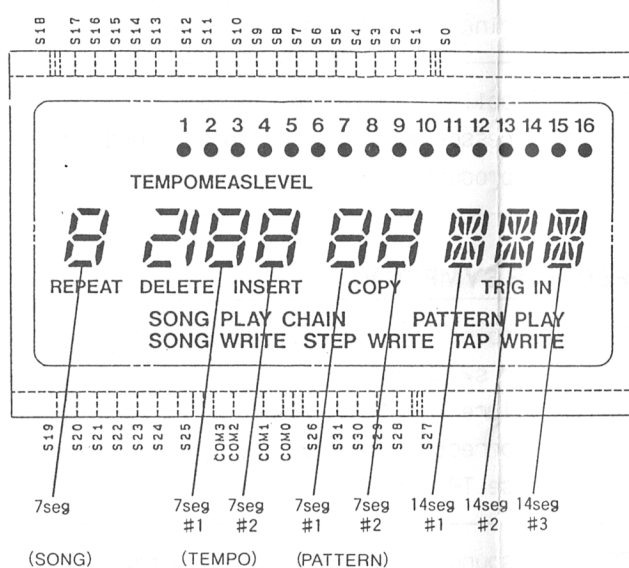


Half Segment

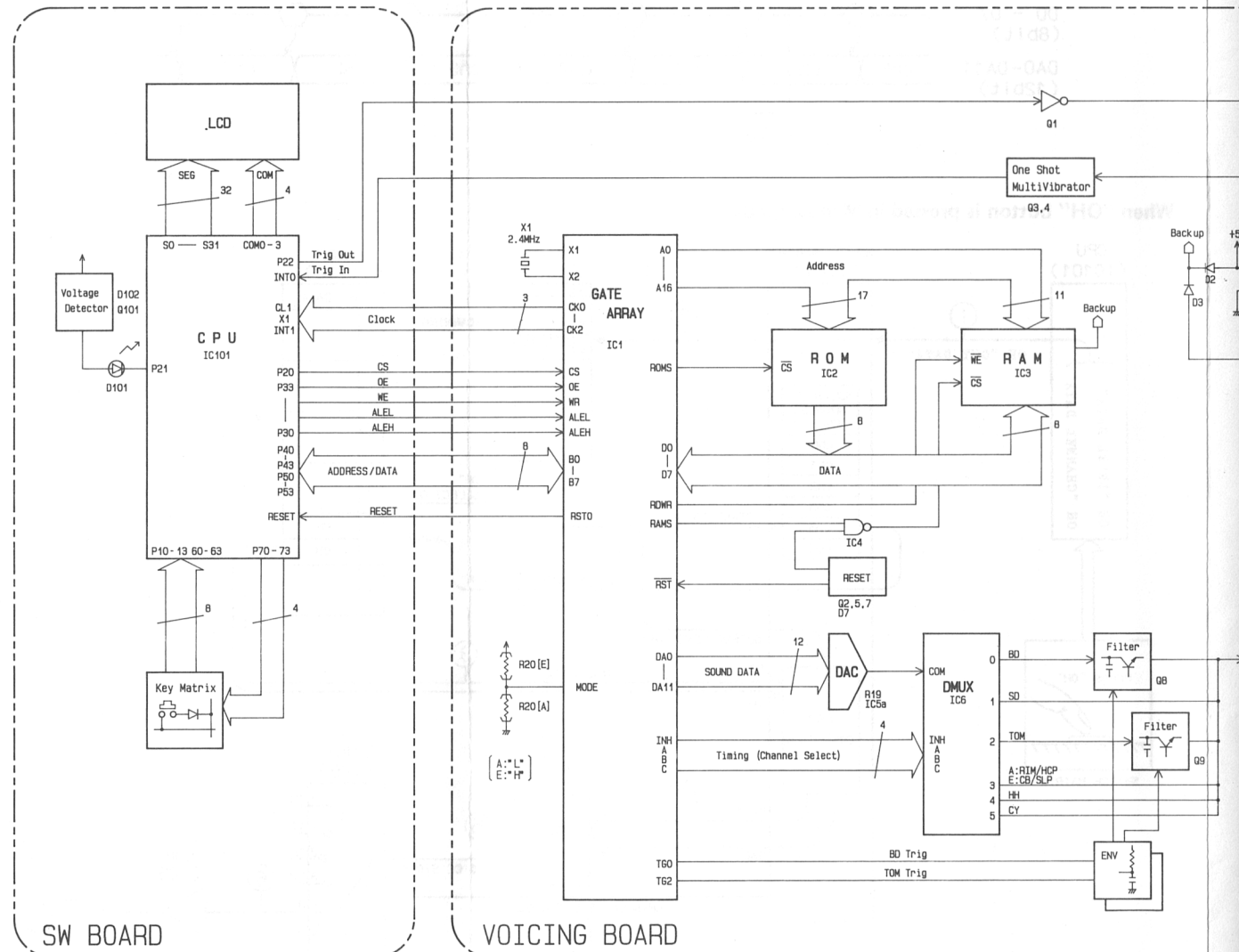
LCD LD-B9112A-1

SEG VS COM MATRIX

SEG	COM 0	COM 1	COM 2	COM 3
S0	14-seg #1	i	b	a
S1	14-seg #1	h	k	g
S2	14-seg #1	j	m	n
S3	PATTERN 7-seg #2	b	c	COPI
S4	PATTERN 7-seg #2	g	e	d
S5	PATTERN 7-seg #1	b	c	CHAIN
S6	PATTERN 7-seg #1	g	e	d
S7	PATTERN 16	●	PATTERN 15	●
S8	PATTERN 14	●	PATTERN 13	●
S9	PATTERN 12	●	PATTERN 11	●
S10	PATTERN 10	●	PATTERN 9	●
S11	PATTERN 8	●	PATTERN 7	●
S12	PATTERN 6	●	PATTERN 5	●
S13	PATTERN 4	●	PATTERN 3	●
S14	PATTERN 2	●	PATTERN 1	●
S15	TEMPO 7-seg #2	b	c	a
S16	TEMPO 7-seg #2	g	e	d
S17	TEMPO 7-seg #1	b	c	a
S18	TEMPO 7-seg #1	g	e	d
S19	SONG 7-seg	b	c	a
S20	SONG 7-seg	g	e	d
S21	2	DELETED	REPEAT	SONG WRITE
S22	!	INSERT	SONG PLAY	STEP WRITE
S23	14-seg #1	e	i	d
S24	14-seg #2	e	i	d
S25	14-seg #3	e	i	d
S26	14-seg #3	i	b	a
S27	14-seg #2	j	m	n
S28	14-seg #2	h	k	c
S29	14-seg #2	i	b	a
S30	14-seg #3	j	m	n
S31	14-seg #3	h	k	c



BLOCK DIAGRAM

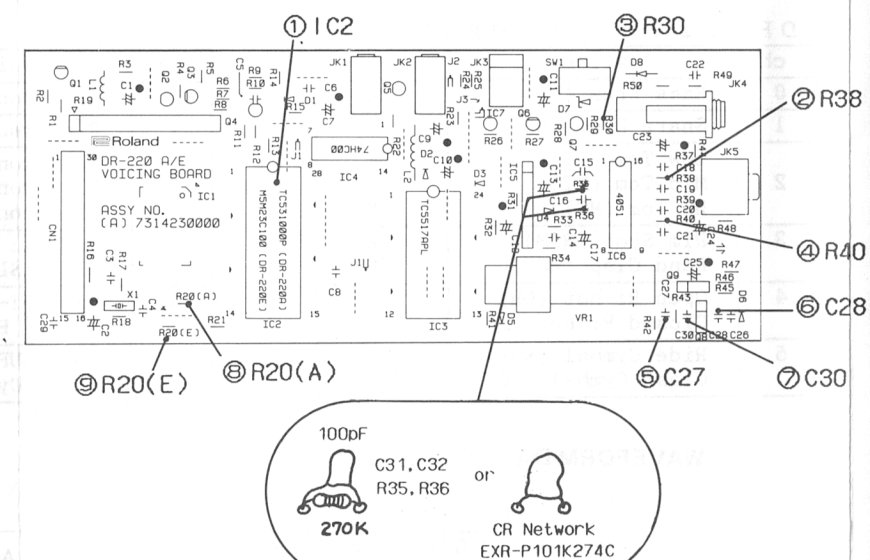


VOICING BOARD

Parts Differences Between
DR-220A and DR-220E

ボイシングボード

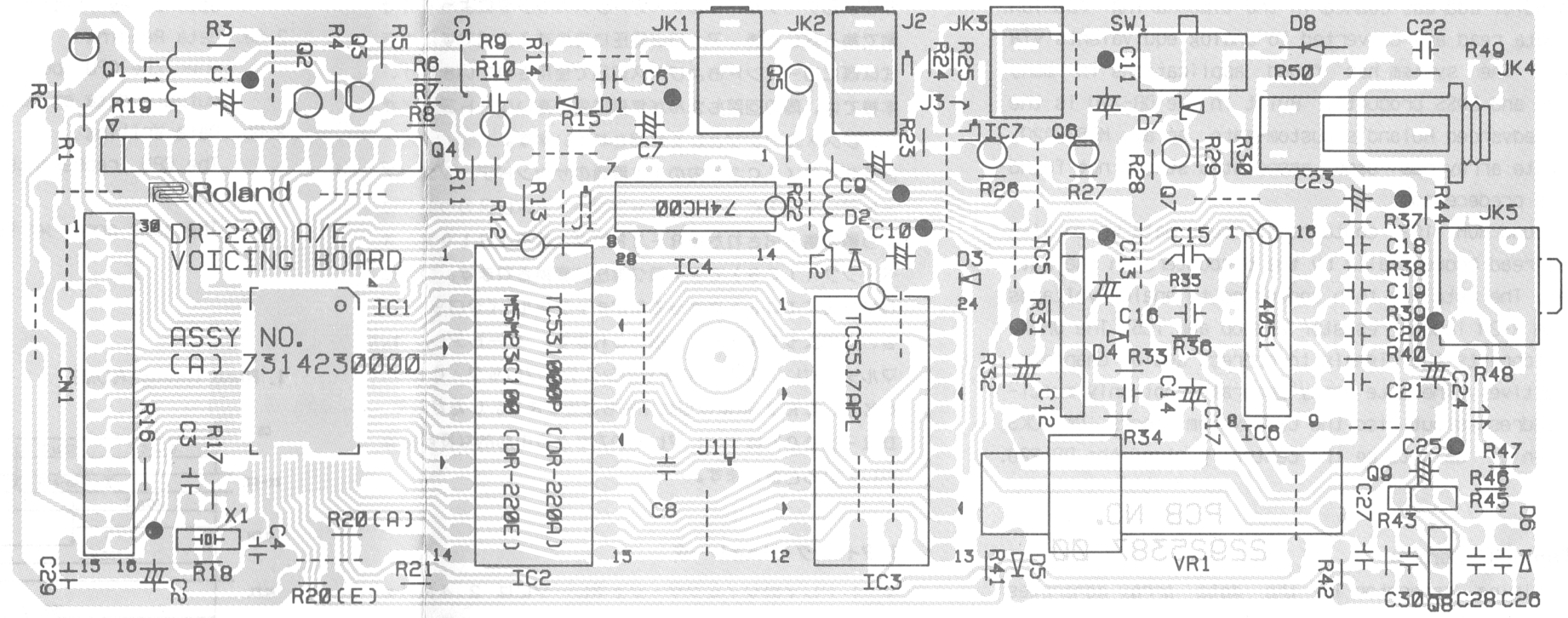
機種間の部品相違



A
B
C
D
E
F
G
H
I
J
K
L
M
N
O
P
Q
R
S
T
U
V

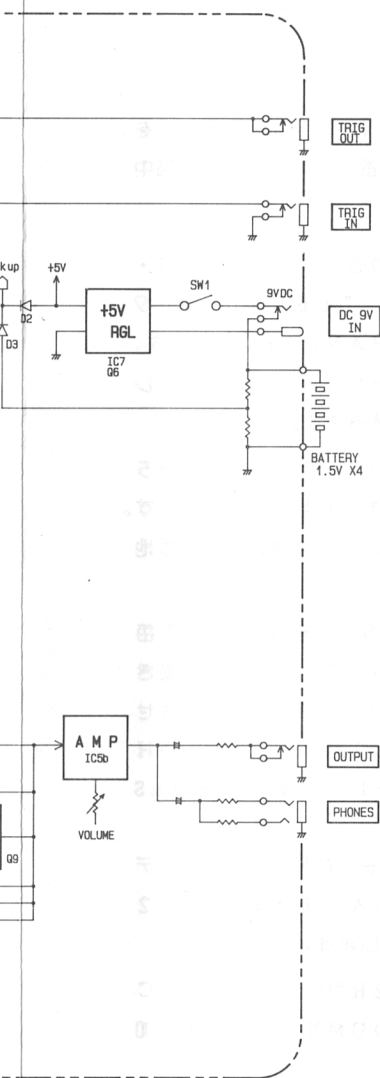
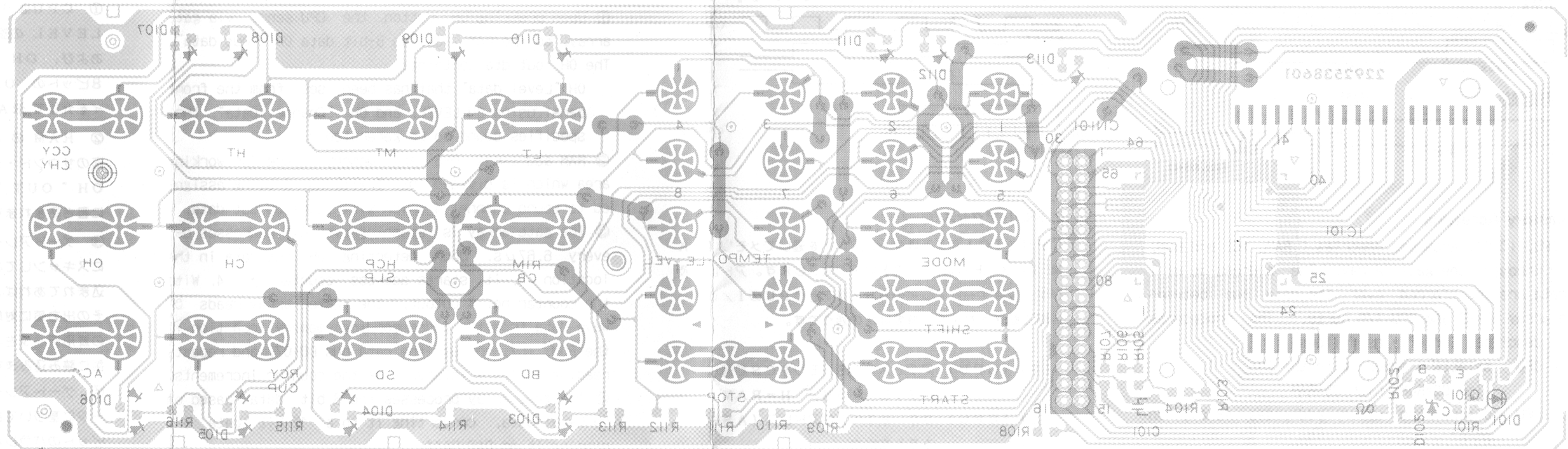
19 20 21 22 23 24 25 26 27 28 29 30 31 32 33 34 35 36 37 38 39 40 41 42 43 44 45 46 47 48 49 50 51 52 53 54 55 56 57 58 59 60

VOICING BOARD 7314230000 DR-220A
7314330000 DR-220E



No.	PARTS No.	DR-220A	DR-220E	NOTE
①	IC2	TC531000P-7464	M5M23C100-511P	Sound ROM
②	*	* CR1 68KΩ & 1200pF or R38 68KΩ CR Network EXR-P122K683C	* R38 100KΩ R38 100KΩ	
③	R30	100KΩ	120KΩ	
④	R40	120KΩ	180KΩ	
⑤	C27	0.012 μF	0.022 μF	
⑥	C28	0.047 μF	0.018 μF	
⑦	C30	0.022 μF	0.012 μF	
⑧	R20(A)	10KΩ	Absent	IC1 MODE="L"
⑨	R20(E)	Absent	10KΩ	IC1 MODE="H"

SW BOARD 7314231000 DR-220A DR-220E
(Pcb 2292533600)



1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 16 17 18 19 20 21 22 23 24 25 26 27 28 29 30 31 32 33 34 35 36 37

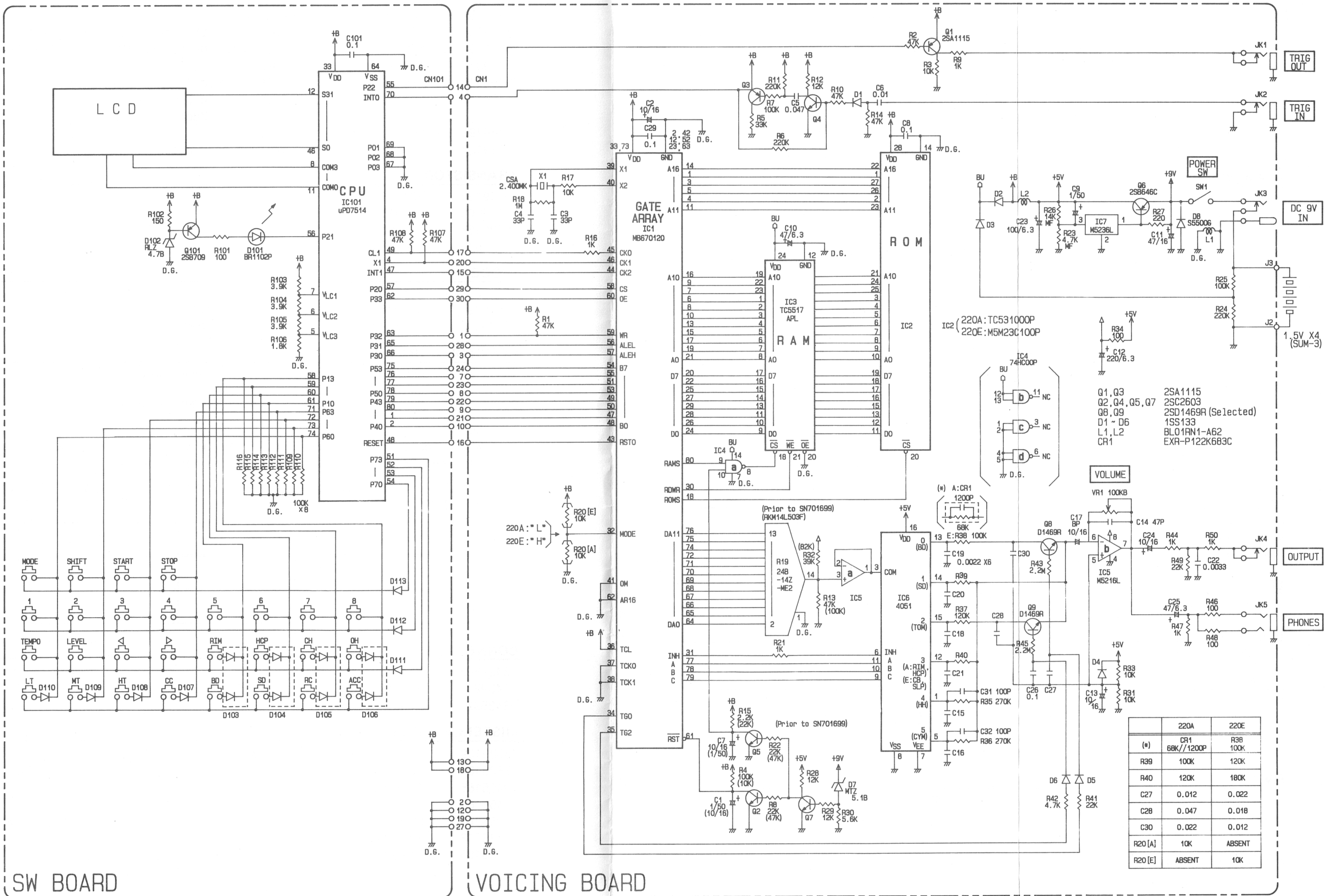
A
B
C
D
E
F
G
H
I
J
K
L
M
N
O
P
Q
R
S
T
U
V

SW BOARD

7314231000 DR-220A DR-220E
(Pcb 22925386)

VOICING BOARD

7314230000 DR-220A
7314330000 DR-220E
(Pcb 22925387)



SW BOARD

VOICING BOARD

PARTS LIST**CASING**

22015687	Top Case	DR-220A
22015688	Top Case	DR-220E
22015689	Bottom Case Assy	DR-220A
22015690	Bottom Case Assy	DR-220E
(Bottom Case Assy includes the following 3 parts.)		
	Bottom Case	
	Terminal Plate A	
	Terminal Plate B	
22025770	Battery Compartment Lid	DR-220A
22025771	Battery Compartment Lid	DR-220E
22025768	Display Window	DR-220A
22025769	Display Window	DR-220E

PCB ASSY

7314230000	Voicing Board (pcb 22925387)	DR-220A
7314330000	Voicing Board (pcb 22925387)	DR-220E
7314231000	Switch Board (pcb 22925386)	
(Switch Board includes the following CHIP parts.)		
Chip transistor	2MB709-S	PNP
Chip Diode	MA-151K	single
	MA-151WK	double
	RLZ4.7A	zener
	BR1102P	LED red
Chip Resistor	RPC10T 0Ω	
	RPC10T 100J	
	RPC10T 150J	
	RPC10T 1.8KJ	
	RPC10T 3.9KJ	
	RPC10T 47KJ	
	RPC10T 100KJ	
Chip Capacitor	ECUV1E104ZFM	0.1μF 25V

KNOB

2248512300	VOLUME	DR-220A
2248512400	VOLUME	DR-220E
2248512500	POWER	

LCD

15029439	LD-B9112A-1
----------	-------------

INDUCTOR

12449266	BL01 RN1-A62	Ferrite Bead
----------	--------------	--------------

JACK

13449125	HLJ 0520-01-110	monaural	OUTPUT
13449401	SG 8026	mini	TRIG IN, TRIG OUT
13449423	HSJ 0922-01-1140	mini, stereo	PHONES
13449711	HEC 0470-01-630	AC adaptor	DC 9V IN

SWITCH

13159329	SSSS 52031A	POWER	
22495126	Rubber Switch (pad)		DR-220A
22495127	Rubber Switch (pad)		DR-220E

POTENTIOMETER

13339349	RS 20411AA-100KB	100KB	VOLUME
----------	------------------	-------	--------

CERAMIC RESONATOR

12389763	CSA 2.400MK	2.4MHz
----------	-------------	--------

IC

15229854	MB670120	gate array	
15179252	μ PD7514G-236	CPU	
15179796	TC531000P-7464	CMOS mask ROM (Sound ROM)	DR-220A
15179797	M5M23C100-511P	CMOS mask ROM (Sound ROM)	DR-220E
15179317	TC5517APL	CMOS S-RAM	
15169515	M74HC00P	H CMOS quad 2-input NAND gate	
15159113	HD14051BP	CMOS single 8 channel multiplexer/demultiplexer	
15189190	M5216L	OP amp	
15199128	M5236L	voltage regulator	

TRANSISTOR

15119125	2SA1115-F	PNP
15119605	2SB646-C	PNP
15129137	2SC2603-F	NPN
15129612	2SD1469-R (Selected)	NPN

DIODE

15019209T0	S-5500G	
15019125	1SS-133	rectifier
15019413	MTZ5.1B-T77	5.1V zener

RESISTOR ARRAY

13919146	RKM14L503F (Selected)	R-2R ladder network
or		
13919177	24B-14Z-ME2	R-2R ladder network

NOTE

When replacing the resistor array with the other type, also replace R32 and R13 with ones to the table below.

抵抗アレイを別種の物と交換した場合は、R32とR13の値を下記のように変更して下さい。

Resistor Array	R32	R13
RKM14L503F(Selected)	82KΩ	100KΩ
24B-14Z-ME2	39KΩ	47KΩ

CONNECTOR

13429808	PS-30SD-D4TS1-1	30P	Voicing brd
13439249	PS-D4T1-PKL1	30P	Switch brd
23435328	Rubber Connector		LCD

MISCELLANEOUS

13529139	RC Network	EXR-P101K274C	
13529137	RC Network	EXR-P122K683C	DR-220A
23455165	Terminal Plate C		
23455166	Terminal Plate D		
22255243	Shield Cover		Bottom Cover
22015713	Soft Case		
12569105	Dry Cell	SUM-3S 1.5V	